

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2003-004782(43)Date of publication of application : **08.01.2003**

(51)Int.Cl.

G01R 29/02
H04B 17/00
H04L 7/00(21)Application number : **2002-064968**(71)Applicant : **AGILENT TECHNOL INC**(22)Date of filing : **11.03.2002**(72)Inventor : **TAYLOR DAVID FINLAY
BISSET DAVID ALEXANDER**

(30)Priority

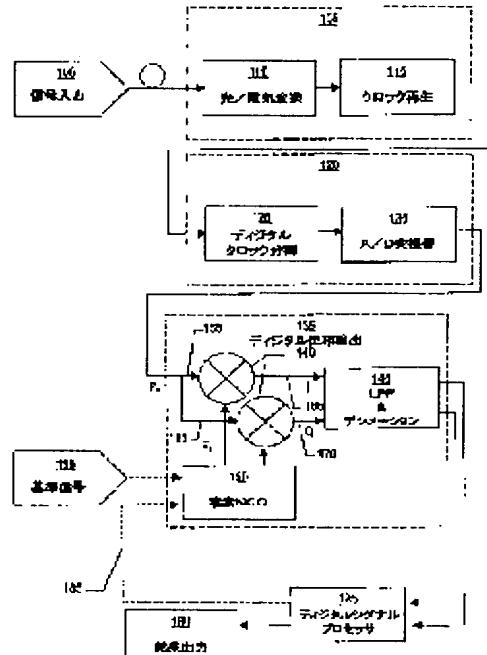
Priority number : **2001 01302553** Priority date : **20.03.2001** Priority country : EP

(54) METHOD AND APPARATUS FOR MEASUREMENT OF NETWORK

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and an apparatus for the measurement of jitters and wanderings, which comply with various communication standards and whose linearity is high.

SOLUTION: In the apparatus, synchronous changes, such as jitters, the wander or the like in a synchronous signal in a communication network is measured, a reproduction clock is sampled and digitized, a series of digital clock samples are generated, the in-phase component and the orthogonal-phase component of a digital baseband frequency are generated by referring to a local digital reference signal, digital phase information on a clock signal is extracted, and desired network parameter is measured.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-4782

(P2003-4782A)

(43)公開日 平成15年1月8日(2003.1.8)

(51)Int.Cl.⁷

G 0 1 R 29/02
H 0 4 B 17/00
H 0 4 L 7/00

識別記号

F I

テマコード*(参考)

G 0 1 R 29/02
H 0 4 B 17/00
H 0 4 L 7/00

L 5 K 0 4 2
M 5 K 0 4 7
F
H

審査請求 未請求 請求項の数20 O L (全 9 頁)

(21)出願番号 特願2002-64968(P2002-64968)

(22)出願日 平成14年3月11日(2002.3.11)

(31)優先権主張番号 01302553.1

(32)優先日 平成13年3月20日(2001.3.20)

(33)優先権主張国 欧州特許庁(E P)

(71)出願人 399117121

アジレント・テクノロジーズ・インク
A G I L E N T T E C H N O L O G I E
S, INC.

アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395
395 Page Mill Road P
alo Alto, California
U. S. A.

(74)代理人 100105913

弁理士 加藤 公久

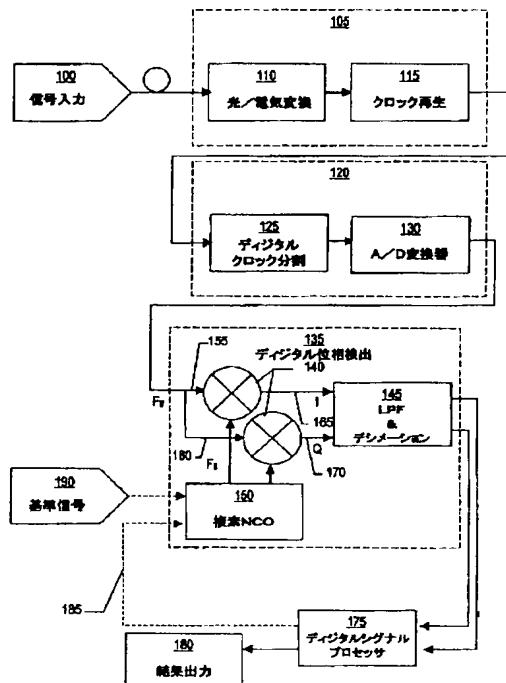
最終頁に続く

(54)【発明の名称】 ネットワーク測定方法および装置

(57)【要約】

【課題】様々な通信規格に対応し、高い直線性を有するジッタおよびワンド測定方法および測定装置の提供

【解決手段】通信網における同期信号のジッタやワンドなどの同期変動を測定する装置であって、再生クロックを標本化してデジタル化し、一連のデジタルクロックサンプルを発生し、局部デジタル基準信号を参照してデジタルベースバンド周波数の同相成分と直交位相成分を生成し、さらに、前記クロック信号のデジタル位相情報を抽出して、所望の網パラメータを測定する。



数を適用する過程を含む請求項1乃至請求項7のいずれかに記載の方法。

【請求項9】前記局部デジタル基準信号の前記位相が、位相ロックされたループの一部分として前記抽出されたデジタル位相情報に対応して制御されるようにした請求項1乃至請求項8のいずれかに記載の方法。

【請求項10】前記抽出されたデジタル位相情報が、前記位相ロックされたループ外の位相情報をデジタル的にフィルタリングすることによって前記第五の過程においてクロックジッタデータに処理されたようにした請求項9に記載の方法。

【請求項11】前記フィルタリングが、前記位相情報のハイパスデジタルフィルタリングを含むようにした請求項9あるいは請求項10に記載の方法。

【請求項12】前記フィルタリングが、さらに前記位相ロックされたループ内のフィルタリングに加えてローパスデジタルフィルタリング段階を含むようにした請求項11に記載の方法。

【請求項13】前記局部デジタル基準信号が、前記受信された信号とは関係のない外部から供給される同期信号であるようにした請求項1乃至請求項8のいずれかに記載の方法。

【請求項14】前記抽出されたデジタル位相情報が、この位相情報をフィルタリングすることによってクロックタイムインターバル誤差データに処理されたようにした請求項13に記載の方法。

【請求項15】前記フィルタリングが、前記位相情報のローパスデジタルフィルタリングを含むようにした請求項14に記載の方法。

【請求項16】得られた前記タイムインターバル誤差データが、さらにワンダデータを取り出すように処理された請求項14あるいは請求項15に記載の方法。

【請求項17】所望の測定に従って位相ロックされた基準信号と独立した基準信号との間で切り換え可能なハードウェア形式で実行されるようにした前述の請求項のいずれかに記載の方法。

【請求項18】前記方法が、ITU標準によって定められるようなMTIE、MRTIE、TDEV、RMSおよびPk-Pkの少なくとも一つを含む複合測定についての前処理として使われるようとした請求項1乃至請求項17のいずれかに記載の方法。

【請求項19】前記前処理と前記複合測定の導出が、单一のデジタルシグナルプロセッサ内で実行されるようにした請求項18に記載の方法。

【請求項20】請求項1乃至請求項19のいずれかによる方法の各過程を実行するように構成されている手段を備え、一連のデータサンプルを参照して電子システムのパラメータを測定する装置。

【発明の詳細な説明】

【0001】

【特許請求の範囲】

【請求項1】一連のデータサンプルを参照することによって電子システムのパラメータを測定する方法であつて、前記電子システムから受けた入力信号からクロック信号を再生する第一の過程と、前記再生されたクロック信号をサンプリングするとともにデジタル化して一連のデジタルクロックサンプルを発生させる第二の過程と、前記デジタルクロックサンプルを局部デジタル基準信号に関してデジタル的に処理してデジタルベースバンド周波数同相および直交位相成分を発生させる第三の過程と、前記デジタル同相および直交位相成分を処理して前記クロック信号のデジタル位相情報を抽出する第四の過程と、前記デジタル位相情報を処理して前記電子システムのパラメータを決定する第五の過程と、を含む事を特徴とする方法。

【請求項2】前記第三の過程が、デジタル無線受信機技術に適したデジタル信号ダウンコンバータICを用いて実行されるようにした請求項1に記載の方法。

【請求項3】前記第四および第五の過程が、プログラム可能な单一のデジタルシグナルプロセッサチップにおいて実行されるようにした請求項1あるいは請求項2に記載の方法。

【請求項4】ネットワークが、さらに前記サンプリングに先立って前記再生されたクロック信号を周波数分割する第六の過程を含むようにした請求項1乃至請求項3のいずれかに記載の方法。

【請求項5】前記周波数分割の過程が、サンプリングのために前記デジタルクロック信号の周波数を固定するとともに異なる周波数の再生されたクロック信号を測定するようにして実行される請求項1乃至請求項4のいずれかに記載の方法。

【請求項6】ベースバンド同相成分および直交位相成分を発生させるための前記デジタルクロックサンプルの処理が、前記デジタルクロックサンプルを少なくとも二つの成分に分割して、これらを前記局部デジタル基準信号から取り出されたそれぞれの基準信号と混合する過程を含む請求項1乃至請求項5のいずれかに記載の方法。

【請求項7】位相情報を取り出す前記ベースバンド周波数同相および直交位相成分の前記過程が、さらに前記同相および直交位相成分をフィルタリングしてデシメーションを施す過程を含む請求項1乃至請求項6のいずれかに記載の方法。

【請求項8】位相情報を抽出する前記過程が、デジタル信号処理によって前記フィルタリングされデシメーションが施される前記同相および直交位相成分に逆正接関

【発明の属する技術分野】本発明は、電子システムのパラメータを測定する方法と装置に関する。本発明は、デジタル通信システムにおけるタイミング変動の測定に適用できる。国際電気通信連合（ITU-T）によって定められたジッタやワンダのようなパラメータが、他の関連するパラメータとともに測定できる。

【0002】

【従来の技術】最近の遠距離通信ネットワークは、ネットワーク通信要素間の高度の同期を必要としている。同期ディジタル・ハイアラーキ（SDH）アーキテクチャにおけるネットワーク通信要素の同期は、クリティカルである。しかしながら、基準クロック周波数制御同期ネットワーク要素における位相変動は、ネットワークの種々の段階において誤差を生じる。同期誤差は、提供されるサービスの性能や品質に大きく影響するのでこのようなネットワークにおける関心事である。従って、テスト機器が、このようなネットワークにおける同期誤差を精密にかつ迅速にモデル化できることが最高に重要である。

【0003】SDHネットワークにおける同期誤差の二つの重要な測定事項は、ジッタとワンダである。何がジッタとワンダを構成するかの特別な定義が、ITU-T勧告G. 810にあるが、もちろん他の定義でも使える。ジッタとワンダは、それらの理想的な位置からのデジタル信号の重大な段階におけるそれぞれの短期間および長期間の変動である。ITU-T G. 810によれば、「短期間」は、10Hz以上の周波数における変動を意味し、「長期間」は、10Hzを下回る周波数における変動を意味する。

【0004】同期ディジタル通信システムにおける同期誤差の他の様々な測定は、ジッタおよびワンダ測定から派生し、監視下にあるネットワークシステムにおける追加のデータを提供する。ジッタおよびワンダデータは、他のパラメータとともに機器やシステムの性能の評価に使うことができ、発生すると顧客サービスを損なうことになる欠陥を診断するためにしばしば使われる。

【0005】

【発明が解決しようとする課題】ジッタとワンダを測定するためにこれまでに判っているソリューションは、アプローチおよび実行において大部分がアナログ的である。これは、ハードウェア限界を含むいくつかの欠点を有している。大部分がアナログ的な機器の使用は、測定に非直線性を導く。種々のプロトコル標準にまたがる様々な測定が、異なるハードウェア仕様を必要とする。

【0006】従来のソリューションは、再生されたクロック信号の外部ハードウェア処理を含んでいた。慣習的に、外部信号は、従来周知の位相ディテクタとトラッキングループアプローチを用いて測定されるので、外部の位相ディテクタは、測定する最大のジッタと低周波カットオフを設定するトラッキング帯域にスケールを合わせ

ている。測定されるジッタは、ディスクリートなハードウェアにおいて復調され、次ぎに処理のためにサンプリングされる。これは、すべてハードウェア指向であり、低周波数アナログ処理に関連するドリフト問題を呈する傾向にある。ハードウェアの誤差による不正確さと、低いサンプリング周波数による信号エイリアシングとを生じる。ハードウェア処理がより集中的であるジッタの場合には、低周波数アナログ処理に関連する問題は、設定とドリフトのために生じる。

【0007】このような問題に対するソリューションの例が、アナログ位相ロックされたループ（以降、PLLとも称する）中の位相差信号をデジタル化する位相測定方法と装置を開示しているEP0849907に含まれている。共に出願係属中のEP特許出願1054522と同1152562は、ジッタとワンダデータの処理を促進するためにフィルタカスケードを用いるMTIEやTDEVのようなジッタおよびワンダパラメータを測定する方法を開示している。これらのアプローチは、本発明との適合性があるが、アナログ領域における位相検出を行なうもので、アナログ／ミックスド信号アプローチに関連する問題が、やはり残ってしまう。

【0008】

【課題を解決するための手段】本発明の目的は、広い周波数範囲にわたる変動について正確に入力信号における同期変動を測定する方法および装置を提供することにある。

【0009】本発明の他の目的は、ジッタとワンダ測定の一方あるいは両方を行なうことができる改善された方法および装置を提供することにある。

【0010】本発明は、第1の特徴において、以下の過程からなる、一連のデータサンプルに関して電子システムのパラメータを測定する方法を提供する：

(a) 電子システムから受けた入力信号からクロック信号を再生し、(b) 再生されたクロック信号をサンプリングするとともにデジタル化して一連のデジタルクロックサンプルを発生させ、(c) デジタルクロックサンプルを局部デジタル基準信号に関してデジタル的に処理してデジタルベースバンド周波数同相成分（以降、I成分とも称する）および直交位相成分（以降、Q成分とも称する）を発生させ、(d) デジタルIおよびQ成分を処理して前記クロック信号のデジタル位相情報を抽出し、および、(e) デジタル位相情報を処理して電子システムのパラメータを決定する。

【0011】過程(c)は、デジタル無線受信機技術において周知のタイプのデジタル信号ダウン変換器ICを用いて便宜的にかつ安価に実行できる。

【0012】過程(d)と(e)は、単一のプログラム可能なデジタル信号プロセッサチップにおいて実行できるが、他のハードウェアあるいはプログラムされた論理的な構成を用いても良い。デジタルシグナルプロ

ロセッサのようなプログラム可能な構成要素は、例えば、広い範囲の周波数にわたってプログラム可能なフィルタ帯域を可能にするものである。

【0013】ネットワークは、(a1)過程としてサンプリング過程に先立って前記再生されたクロック信号を周波数分割することができる。

【0014】周波数分割過程は、異なる周波数の前記再生されたクロック信号を測定しながら、サンプリングのための前記再生されたクロック信号の周波数を小さくするように実行することができる。この小さくされる周波数は、固定しても変化可能にしても良い。

【0015】ベースバンド同相成分(I成分)と直交位相成分(Q成分)を発生させための前記デジタルクロックサンプルの処理が、少なくとも二つの成分に前記デジタルクロックサンプルを分割してこれらを前記局部デジタル基準信号から取り出されたそれぞれの基準信号と混合することを含む。

【0016】位相情報を取り出す前記ベースバンド周波数IおよびQ成分の前記処理が、さらに前記IおよびQ成分をフィルタリングしてデシメーションを施す過程を含む。

【0017】位相情報を抽出する前記過程が、デジタル信号処理によって前記フィルタリングされデシメーションが施される前記IおよびQ成分に逆正接関数を適用することを含む。

【0018】本発明の一つの実施例において、前記局部デジタル基準信号の前記位相が、位相ロックされたループ(PLL)の一部分として前記抽出されたデジタル位相情報に対応して制御される。この位相ロックされたループは、ローパスフィルタを含む。

【0019】前記抽出されたデジタル位相情報が、前記位相ロックされたループ外の位相情報をデジタル的にフィルタリングすることによって過程(e)においてクロックジッタデータに処理される。ここで、測定フィルタリングは、位相情報のハイパスデジタルフィルタリングを含むことができる。このフィルタリングは、また位相ロックされたループにおけるフィルタリングに加えてローパスデジタルフィルタ段階を含む。得られた復調されたジッタは、さらに他の同期に関連するデータを取り出すために処理されることができる。

【0020】本発明の他の実施例において、前記局部デジタル基準信号は、前記受信された信号とは関係のない外部から供給される同期信号である。これは、ワンドのような長い期間変動の測定に適切である。

【0021】抽出されたデジタル位相情報は、この位相情報をフィルタリングすることによってクロックタイムインターバル誤差データへと処理される。ここで、フィルタリングは、位相情報のローパスデジタルフィルタリングを含むことができる。得られたタイムインターバル誤差データは、さらにワンドデータのような他の同

期に関連するデータを取り出すように処理されることができる。

【0022】この方法は、所望の測定に従って位相ロックされた基準信号と独立した基準信号との間で切り換える可能なハードウェア形式で実行されることができる。

【0023】この方法は、ITU標準によって定められたMTIE、MRTIE、TDEVを含む複合測定の前処理として使うことができる。

【0024】これらのおよび他の特徴は、それらによって得られる利点と共に、以下の特定の実施例に対する説明を読むことによって当事者には明らかなることであろう。本発明の実施例は、例としてのみであるが、以下の図面を参照して説明される。

【0025】

【発明の実施の形態】図1は、通信ネットワークにおけるジッタもしくはワンドまたはそれら両方の測定のためのテスト装置のブロック図である。実際には、同じ装置が、システムから様々な測定を取り出すことができる。例えば、国際電気通信連合(ITU-T)は、同期を実行するときの情報を与えるMRTIEやTDEVのような他の測定の仕様を定めている。現在の装置を用いて所望の基本的なデータを提供する事により、これらの他の測定は、迅速かつ効率的に計算されることができる。

【0026】図示の構成において、同期デジタルハイアラーキ(SDH)信号100は、光ファイバによってジッタラインインターフェース105に導かれる。これは、入力光データ信号を電気信号に変換する変換部110と再生されたラインクロックを出力するクロック再生部115とを備える。再生されたラインクロックは、次いでサンプリングブロック120に入力される。ブロック120は、デジタルクロックディバイダ125とA/Dコンバータ130を備えている。ディバイダ125は、さらに以下に述べられるように、低周波数クロック信号を出力するために異なるネットワーククロック周波数に適用可能である。

【0027】デジタル位相検出(以降、DPDとも称する)ブロック135は、混合接続140、フィルタ部145および複素数値制御発振器(以降、NCOとも称する)150を備えている。A/Dコンバータ130によってデジタル化された再生クロック信号は、二つの信号155、160に分割され、ミキサ140に入力される。NCO150からの複素基準信号も、ミキサ140に入力される。ミキサ接続の複素出力は、次いでフィルタ要素145に入力される。周波数変換は、デジタル化された入力クロック信号をベースバンド周波数に変換するようにミキサ140とNCO150によって実行される。用語「複素」は、「実数」と「虚数」成分として知られている同相成分(I成分)および直交位相成分(Q成分)を備えた信号と回路について言及している事は理解されよう。

【0028】DPD135によって処理した後、得られた信号は、次いでデジタル信号プロセッサ（以降、DSPとの称する）175に入力される。DSP175は、位相信号データを処理して180において結果出力を発生する。実際の結果出力とそれに関連する処理は、以下に説明されるようにDPDとDSPのプログラミングによって特定される特別の測定構成に依存する。

【0029】特定された測定構成に従って、NCO150は、DSP175から発生された信号185あるいは外部から供給される基準信号190のいずれかによって制御される。装置は、局部的に取り出された信号185がDSP175からDPD135に位相ロックされたループを形成するように入力されるジッタタイプ測定のために構成されることができる。装置は、基準信号がワンド基準クロックソースとして使うのに適した外部基準信号ソース190から入力されるワンドタイプ測定のために構成されることができる。これらの特定の構成オプションの説明の前に、装置の一般的な作用を以下に説明する。

【0030】図1における装置は、入力として通信ネットワーク信号を受信することが可能である。このような信号の典型的な例は、ITU-Tで定義されているSTM-16あるいはSTM-64のようなSDHプロトコルによる信号であろう。もちろん、述べられている装置は、これらの標準にのみ限定されることは無く、他の周波数範囲を適用しても良い。

【0031】作用中、入力光信号は、ジッタラインインターフェース105によって電気信号と再生されたクロックとに変換され、この再生されたクロック信号は、ジッタに関係する同期情報と他のクロック同期情報を含んでいる。デジタルクロックディバイダ125は、クロックをデジタル化すべき低周波数に分割する。これは、通常65MHzの速度でサンプリングされる10MHz～20MHzクロックであろう。この段階での直接サンプリングの使用は、多くの利点をもたらす。デジタル処理は、類似のアナログ方法よりさらに高精度かつ柔軟なものであり、また同時に低コストで容易な製造を可能にする。

【0032】再生されたクロックをデジタル化するこの過程は、その関連する同期情報とともにデジタル領域における測定の完璧な実施を可能にする。これは、慣習的に信号が位相ディテクタとフィルタとを用いて測定されるであろう再生されたクロックの外部ハードウェア処理を必要としない。

【0033】複素位相検出の実際の過程は、単一の集積回路において実施可能なDPD135において実行される。DPD135は、デジタル化された分割クロックをオンボードNCO150からの複素トラッキング信号と混合することによって複素位相検出を行なう。複素NCOは、外部の基準信号190あるいは局部的に取り出

された信号185のいずれかに同調される。IとQのベースバンド出力165、170は、フィルタ手段145においてローパスフィルタリングされるとともにデシメーションが施され、DSP175に入力するための生の位相複素出力を与える。デジタル領域において位相検出を実行することは、測定される信号のナイキストレートを十分上回るサンプリング周波数を確保した十分に高い周波数において検出が実行されることを意味している。この段階でのデジタル混合の使用は、真の直線性を提供する。ローパスおよびデシメーションフィルタの使用は、デシメーションによって生じるエイリアス映像信号の十分な除去、および、不要な混合物の除去を行なう。

【0034】DSP155は、DPD135から得られた生の位相情報を処理する。DSP155の要素の設定と位相情報に施される処理過程は、必要な測定のタイプによって定まる。図2は、ジッタ測定に用いる構成を詳細に示しており、図3は、ワンドのための詳細を示している。実際には、少なくともこれらのタイプの測定の両方のために構成可能な単一のDSPが、存在する。

【0035】図2は、位相検出と測定のための機構の詳細を示すジッタ測定に使うための図1の装置の構成を示している。上述したように、検査を受ける信号が入力され、再生されたクロック信号が、電気信号に変換されるとともにデジタル化される。

【0036】再生されデジタル化されたクロック信号200は、それぞれの機能ブロックが上述したように作動するDPD135に入力される。出力された生の複素位相信号205は、DSP155に入力される。この場合DSPは、位相再構成要素210、デジタル位相ロックされたループ（PLL）215、測定フィルタリング段220および結果プロセッサ要素225を有している。

【0037】DPD135は、デジタル化されたIFクロックをNCO150からの複素トラッキング信号と混合して複素位相検出を行なう。DPD135上のNCOは、この場合デジタルPLL215によってDSP155に同調されている。これは、ジッタ測定に対して必要なトラッキングループを形成する。IとQのベースバンド出力165、170は、要素145においてDPD135にローパスフィルタリングされるとともにデシメーションが施されてDSP155に入力するための生の位相複素出力205を与える。

【0038】ローパスフィルタリングされるとともにデシメーションが施されたIとQの複素サンプル205は、位相再構成要素210内で位相信号に再構成される。再構成され、出力された位相信号は、NCO150を制御するためのデジタルPLL215と測定フィルタリング段220との両方に導かれる。測定フィルタリング段は、デジタル位相信号を標準の逆タンジェント

デジタル信号処理ルーチンあるいはルックアップテーブルを用いてジッタ出力に変換する。

【0039】得られたジッタ信号は、次いで復調信号205としてフィルタリングされるか結果プロセッサ225に導かれる。結果プロセッサは、さらにフィルタリングしてジッタ信号の計算を行なってRMSあるいはP_k-P_kのような派生される測定を行う。

【0040】図3は、ワンダの測定のために適した実施例を示している。上述したように、再生されデジタル化されたクロック信号200は、DPD135に入力される。出力された生の位相信号205は、DSP155に入力される。この場合、DSP155は、上述した位相再構成要素210、ローパスフィルタ300および結果プロセッサ315を備えている。

【0041】DPD135は、デジタル化されたIFクロックを基準信号170から取り出された同じ信号に設定された複素信号と混合することによって複素位相検出を行なう。基準信号170は、IFサンプルとDPD135をクロック励振するために使われる。IとQのベースバンド出力165、170は、要素145においてDPD135にローパスフィルタリングされるとともにデシメーションが施されてDSP155に転送するための生の位相複素出力205を与える。

【0042】フィルタリングされるとともにデシメーションが施されたIとQの複素サンプル205は、位相再構成要素210内で位相信号に再構成される。測定フィルタリング段は、デジタル位相信号サンプルを標準の逆タンジェントデジタル信号処理ルーチンあるいはルックアップテーブルを用いてタイムインターバル誤差（以降、TIEとも称する）に変換する。高速度TIEサンプルは、次いで必要に応じてローパスフィルタリングされる。ITU-T G.823は、10Hzあるいは100Hzのいずれかの第1次のローパスフィルタを必要とする。

【0043】得られたTIEサンプルは、生のTIE出力データ310として出力されるか、結果プロセッサ315においてさらに処理され、MTIE、MRTIEあるいはTDEVのようなTIEに由来する測定を行うことができる。

【0044】ワンダ測定に使われる基準信号190は、ITU-Tによって定められるように、ワンダ測定のために適切な精度の適当な外部の基準クロックから取り出すことができる。

【0045】ジッタおよびワンダ測定構成の両方におけるDPDブロック135は、多数のやり方でハードウェア内に具現化できる。例えば、セミカスタムASICを用いて実行できるであろう。あるいは、実行は、Analog Devices AD6620あるいはIntersil HSP501214Bのような汎用性の単一集積回路チップによって可能である。このように高度

に集積されたデバイスは、NCO150、フィルタおよびデシメーション145段などに必要なすべての要素を組み込んでいる。これらのデバイスは、市販されており、例えば、デジタル無線アプリケーションにおけるデジタル信号ダウン変換器のように一般的に使われている。

【0046】このような集積ソリューションの使用は、容易にプログラム可能なパラメータの形において利点を与える、装置の汎用性を強化する。デジタル位相データの処理を実行するためのDSPの使用も、汎用性を与えるものであり、異なるフィルタリング帯域の範囲を可能にする。このような汎用性は、テストが実行されなければならないターゲットプラットホームがその都度異なるであろうときに、重要な要素である。また、このようなパラメータを定めている標準は、また変わるかも知れない。このような汎用性および適用可能性は、さらなるハードウェアアプローチを行なうソリューションにおいて、特にアナログアプローチに偏重したシステムにおいて充分に達成できるものではないだろう。

【0047】ジッタおよびワンダ測定を得る装置と方法は、なかんずく、MTIE、MRTIEあるいはTDEVのようなパラメータの測定のために生の入力データを用いる他の方法および装置に組み合わせて拡張することができる。例えば、ここで記述された方法と装置は、共に係属中であるEP特許出願1054522と1152562の装置にTIEあるいは他のデータサンプルを施すために使えるであろう。

【0048】以上の説明及び添付の図面から、当該技術者には本発明に対するさまざまな修正が明らかになるであろう。従って、本発明は、付属の特許請求の範囲によってのみ制限されるものとする。しかしながら、本発明の広汎な応用の可能性に鑑み、以下に本発明の実施態様を幾つか例示する。

【0049】（実施態様1）一連のデータサンプルを参照することによって電子システムのパラメータを測定する方法において、（a）前記電子システムから受けた入力信号からクロック信号を再生し、（b）前記再生されたクロック信号をサンプリングするとともにデジタル化して一連のデジタルクロックサンプルを発生させ、

（c）前記デジタルクロックサンプルをローカルなデジタル基準信号に関してデジタル的に処理してデジタルベースバンド周波数同相（I）および直角位相（Q）成分を発生させ、（d）前記デジタルIおよびQ成分を処理して前記クロック信号のデジタル位相情報を抽出し、および、（e）前記デジタル位相情報を処理して前記電子システムのパラメータを決定するようにした方法。

【0050】（実施態様2）前記過程（c）が、デジタル無線受信機技術に適したタイプのデジタル信号ダウン変換器ICを用いて実行されるようにした実施態様1に記載の方法。

【0051】(実施態様3) 前記過程(d)および(e)が、単一のプログラム可能なデジタル信号プロセッサチップにおいて実行されたようにした実施態様1あるいは実施態様2に記載の方法。

【0052】(実施態様4) ネットワークが、さらに前記サンプリングに先立って前記再生されたクロック信号を周波数分割する過程(a1)を含むようにした実施態様1～実施態様3のいずれかに記載の方法。

【0053】(実施態様5) 前記周波数分割過程が、サンプリングのために前記デジタルクロック信号の周波数を固定するとともに異なる周波数の再生されたクロック信号を測定するようにして実行された実施態様1～実施態様4のいずれかに記載の方法。

【0054】(実施態様6) ベースバンド同相(I)と直角位相(Q)成分を生じるための前記デジタルクロックサンプルの処理が、少なくとも二つの成分に前記デジタルクロックサンプルを分割してこれらを前記ローカルなデジタル基準信号から取り出されたそれぞれの基準信号と混合することを含むようにした前述の実施態様のいずれかに記載の方法。

【0055】(実施態様7) 位相情報を取り出す前記ベースバンド周波数IおよびQ成分の前記処理が、さらに前記IおよびQ成分をフィルタリングしてデシメートする過程を含むようにした前述の実施態様のいずれかに記載の方法。

【0056】(実施態様8) 位相情報を抽出する前記過程が、デジタル信号処理によって前記フィルタリングされデシメートされる前記IおよびQ成分に逆タンジェント関数を適用することを含むようにした前述の実施態様のいずれかに記載の方法。

【0057】(実施態様9) 前記ローカルなデジタル基準信号の前記位相が、位相ロックされたループ(PLL)の一部分として前記抽出されたデジタル位相情報に対応して制御されたようにした前述の実施態様のいずれかに記載の方法。

【0058】(実施態様10) 前記抽出されたデジタル位相情報が、前記位相ロックされたループ外の位相情報をデジタル的にフィルタリングすることによって過程(e)においてクロックジッタデータに処理されたようにした実施態様9に記載の方法。

【0059】(実施態様11) 前記フィルタリングが、前記位相情報のハイパスデジタルフィルタリングを含むようにした実施態様9あるいは実施態様10に記載の方法。

【0060】(実施態様12) 前記フィルタリングが、さらに前記位相ロックされたループ内でのフィルタリングに加えてローパスデジタルフィルタリング段階を含むようにした実施態様11に記載の方法。

【0061】(実施態様13) 前記ローカルなデジタル基準信号が、前記受信された信号とは関係のない外部にソースを有する同期信号であるようにした実施態様1～実施態様8のいずれかに記載の方法。

【0062】(実施態様14) 前記抽出されたデジタル位相情報が、この位相情報をフィルタリングすることによってクロックタイムインターバル誤差(TIE)データに処理されたようにした実施態様13に記載の方法。

【0063】(実施態様15) 前記フィルタリングが、前記位相情報のローパスデジタルフィルタリングを含むようにした実施態様14に記載の方法。

【0064】(実施態様16) 得られた前記タイムインターバル誤差データが、さらにワンドデータを取り出すように処理された実施態様14あるいは実施態様15に記載の方法。

20 【0065】(実施態様17) 必要な測定に従って位相ロックされた基準信号および独立した基準信号の間で切り換える可能なハードウェアの形で実行されたようにした前述の実施態様のいずれかに記載の方法。

【0066】(実施態様18) 前記方法が、ITU標準によって定められたようなMTIE、MRTIE、TDEV、RMSおよびPk-Pkの少なくとも一つを含む複合測定についての前処理として使われるようになった前述の実施態様のいずれかに記載の方法。

30 【0067】(実施態様19) 前記前処理と前記複合測定の導出が、単一のデジタル信号プロセッサ内で実行されたようにした実施態様18に記載の方法。

【0068】(実施態様20) 実施態様1～実施態様19のいずれかに従って方法の各過程を実行するように構成されている手段を備え、一連のデータサンプルを参照して電子システムのパラメータを測定する装置。

【図面の簡単な説明】

【図1】本発明によるジッタおよびワンド測定のための装置のブロック図である。

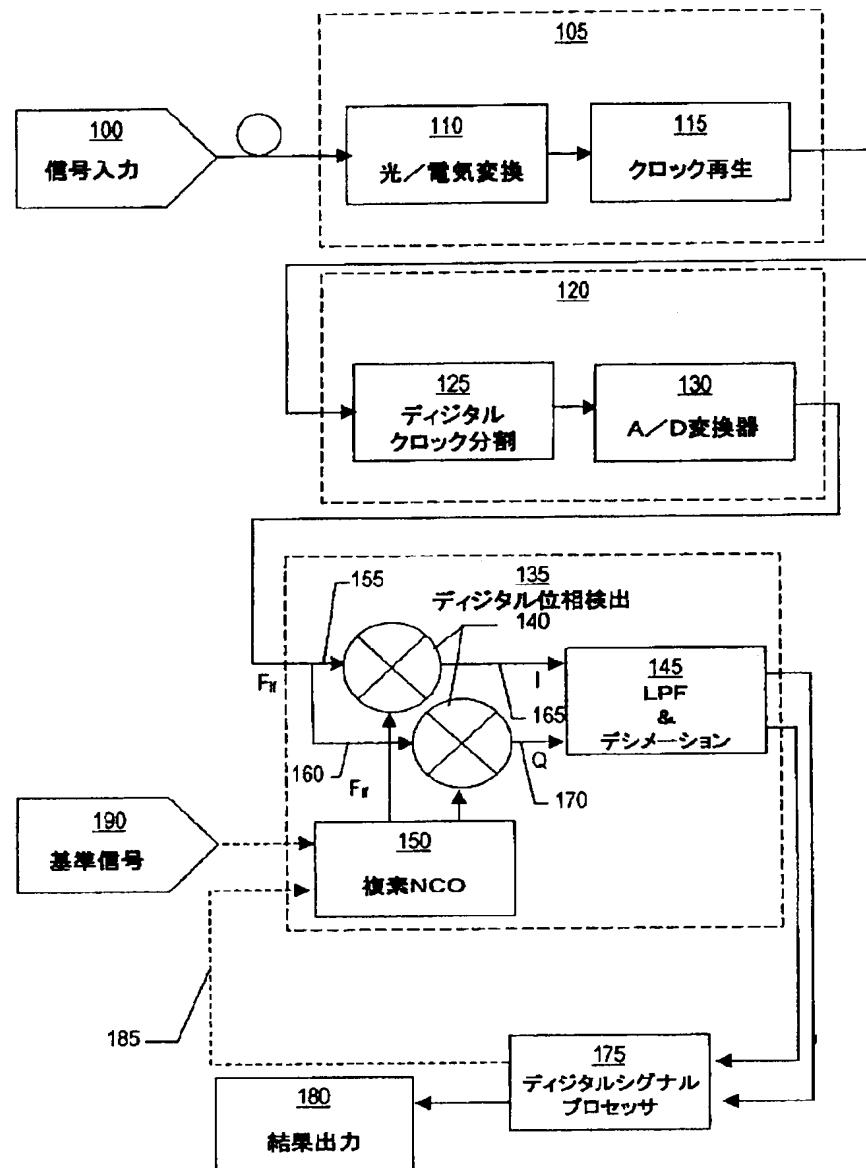
【図2】ジッタを測定するときの図1に示される装置の機能的なブロック図である。

【図3】ワンドを測定するときの図1に示される装置の機能的なブロック図である。

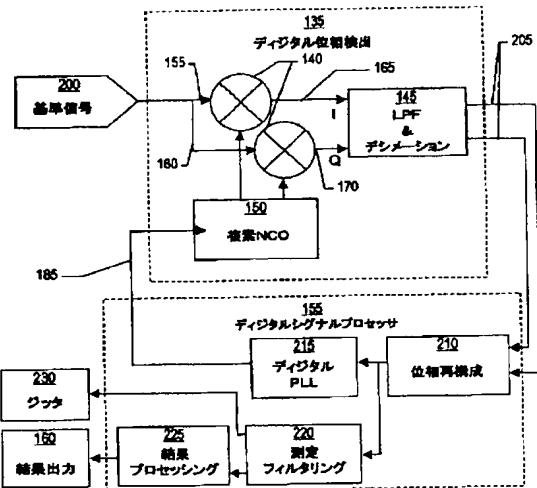
【符号の説明】

請求項に該当符号なし

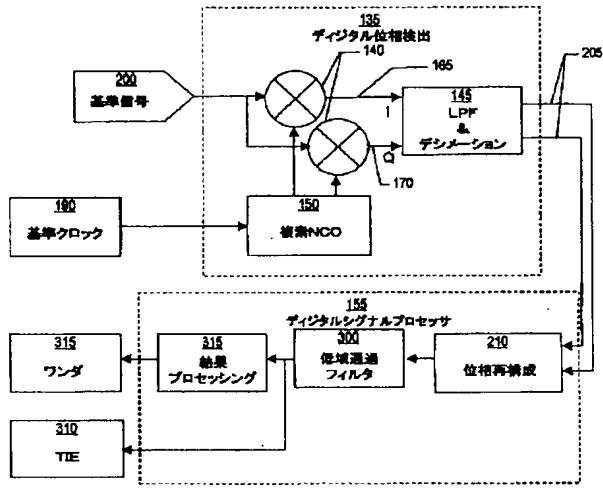
【図1】



【図2】



【図3】



フロントページの続き

(72) 発明者 デビット・フィンレイ・テイラ
イギリス国スコットランド、エジンバラ、
27ストリート・クラール・テラス

(72) 発明者 デビット・アレクサンダー・ビセット
イギリス国スコットランド、ディングウォ
ール、コノン・ブリッジ、ゲアズ・クロフ
ト、モーラバン、

F ターム(参考) 5K042 CA10 CA23 DA21
5K047 BB01 GG06 KK02 KK13 MM33
MM45 MM48 MM55 MM60

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第1区分
 【発行日】平成17年9月2日(2005.9.2)

【公開番号】特開2003-4782(P2003-4782A)
 【公開日】平成15年1月8日(2003.1.8)
 【出願番号】特願2002-64968(P2002-64968)
 【国際特許分類第7版】

G 0 1 R	29/02
H 0 4 B	17/00
H 0 4 L	7/00

【F I】

G 0 1 R	29/02	L
H 0 4 B	17/00	M
H 0 4 L	7/00	F
H 0 4 L	7/00	H

【手続補正書】

【提出日】平成17年3月3日(2005.3.3)

【手続補正1】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一連のデータサンプルを参照することによって電子システムのパラメータを測定する方法であって、前記電子システムから受けた入力信号からクロック信号を再生する第一の過程と、前記再生されたクロック信号をサンプリングとともにディジタル化して一連のディジタルクロックサンプルを発生させる第二の過程と、前記ディジタルクロックサンプルを局部ディジタル基準信号に関してデジタル的に処理してデジタルベースバンド周波数同相および直交位相成分を発生させる第三の過程と、前記ディジタル同相および直交位相成分を処理して前記クロック信号のデジタル位相情報を抽出する第四の過程と、前記ディジタル位相情報を処理して前記電子システムのパラメータを決定する第五の過程と、を含む事を特徴とする方法。

【請求項2】

ネットワークが、さらに前記サンプリングに先立って前記再生されたクロック信号を周波数分割する第六の過程を含むようにした請求項1に記載の方法。

【請求項3】

前記周波数分割の過程が、サンプリングのために前記ディジタルクロック信号の周波数を固定するとともに異なる周波数の再生されたクロック信号を測定するようにして実行される請求項1または請求項2に記載の方法。

【請求項4】

ベースバンド同相成分および直交位相成分を発生させるための前記ディジタルクロックサンプルの処理が、前記ディジタルクロックサンプルを少なくとも二つの成分に分割して、これらを前記局部ディジタル基準信号から取り出されたそれぞれの基準信号と混合する過程を含む請求項1乃至請求項3のいずれかに記載の方法。

【請求項5】

位相情報を取り出す前記ベースバンド周波数同相および直交位相成分の前記過程が、さらに前記同相および直交位相成分をフィルタリングしてデシメーションを施す過程を含む

請求項 1 乃至 請求項 4 のいずれかに記載の方法。

【請求項 6】

位相情報を抽出する前記過程が、ディジタル信号処理によって前記フィルタリングされデシメーションが施される前記同相および直交位相成分に逆正接関数を適用する過程を含む請求項 1 乃至 請求項 5 のいずれかに記載の方法。

【請求項 7】

前記局部ディジタル基準信号が、前記受信された信号とは関係のない外部から供給される同期信号であるようにした請求項 1 乃至 請求項 6 のいずれかに記載の方法。

【請求項 8】

前記抽出されたディジタル位相情報を、この位相情報をフィルタリングすることによつクロックタイムインターバル誤差データに処理されるようにした請求項 7 に記載の方法。

【請求項 9】

得られた前記タイムインターバル誤差データが、さらにワンドデータを取り出すように処理される請求項 8 に記載の方法。

【請求項 10】

所望の測定に従つて位相ロックされた基準信号と独立した基準信号との間で切り換え可能なハードウェア形式で実行されるようにした請求項 1 乃至 請求項 9 のいずれかに記載の方法。

【請求項 11】

請求項 1 乃至 請求項 10 のいずれかによる方法の各過程を実行するように構成されている手段を備え、一連のデータサンプルを参照して電子システムのパラメータを測定する装置。

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

5 1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

10

CLAIMS

[Claim(s)]

15 [Claim 1] How to measure a parameter of electronic system by referring to a series of data samples characterized by comprising the following.

The first process in which a clock signal is reproduced from an input signal received from said electronic system. The second process in which digitize while sampling said reproduced clock signal, and a series of digital clock samples are generated.

20 The third process in which process said digital clock sample in digital one about a local digital reference signal, and a digital baseband frequency inphase and a rectangular phase constituent are generated.

The fourth process in which process said digital inphase and a rectangular phase constituent, and digital topology of said clock signal is extracted, and the fifth process in which process said digital topology and a parameter of said electronic system is determined.

25 [Claim 2] A method according to claim 1 by which said third process was made to perform using digital signal down converter IC suitable for digital radio receiver art.

[Claim 3] Claim 1 which said fourth and fifth processes was made to perform in programmable single digital signal processor chips, or a method according to claim 2.

30 [Claim 4] A method according to any one of claims 1 to 3 it was made to include the sixth process in which a network carries out frequency division of said reproduced clock signal in advance of said sampling further.

[Claim 5] A method according to any one of claims 1 to 4 performed as measures a clock signal with which frequency from which a process of said frequency division differs while fixing frequency of said digital clock signal for a sampling was reproduced.

35 [Claim 6] Processing of said digital clock sample for generating a baseband in-phase component and a rectangular phase constituent divides said digital clock sample into at least two ingredients, A method according to any one of claims 1 to 5 including a process in which these are mixed with each reference signal taken out from said local digital reference signal.

40 [Claim 7] A way according to any one of claims 1 to 6 said process of said baseband frequency inphase which takes out topology, and a rectangular phase constituent includes a process in which filter said inphase and a rectangular phase constituent further, and decimation is performed.

[Claim 8] A way according to any one of claims 1 to 7 said process in which topology is extracted includes a process in which an arc tangent function is applied to said said inphase to which it is filtered and decimation is performed, and a rectangular phase constituent by digital signal processing.

45 [Claim 9] A method according to any one of claims 1 to 8 by which said phase of said local digital reference signal was controlled as a part of loop by which the phase lock was carried out corresponding to said extracted digital topology.

[Claim 10] A method according to claim 9 processed by clock jitter data in said fifth process when said extracted

digital topology filtered in digital one topology besides said loop by which the phase lock was carried out.

[Claim 11] Claim 9 in which it was made for said filtering to contain highpass digital filtering of said topology, or a method according to claim 10.

[Claim 12] A method according to claim 11 by which said filtering adds to filtering within said loop by which the phase lock was carried out further, and it was made to include a low pass digital-filtering stage.

[Claim 13] A method according to any one of claims 1 to 8 carried out as [be / said local digital reference signal / a synchronized signal supplied from the outside which is unrelated to said received signal].

[Claim 14] A method according to claim 13 processed by clock time interval error data when said extracted digital topology filtered this topology.

10 [Claim 15] A method according to claim 14 by which it was made for said filtering to contain low pass digital filtering of said topology.

[Claim 16] Claim 14 processed so that said obtained time interval error data may take out WANDA data further, or a method according to claim 15.

[Claim 17] A method given in either of the above-mentioned claims which were made to perform in hardware form which can be switched between a reference signal by which the phase lock was carried out according to desired measurement, and an independent reference signal.

15 [Claim 18] A method according to any one of claims 1 to 17 used as pretreatment about compound measurement in which said method contains at least one of MTIE, MRTIE, TDEV and RMS which are defined by a standard [for ITU] one, and the Pk-Pk.

20 [Claim 19] A method according to claim 18 by which derivation of said pretreatment and said compound measurement was made to perform within a single digital signal processor.

[Claim 20] A device which is provided with a means constituted so that each process of a method by either claim 1 thru/or claim 19 may be performed, and measures a parameter of electronic system with reference to a series of data samples.

25

DETAILED DESCRIPTION

[Detailed Description of the Invention]

30 [0001] [Field of the Invention] This invention relates to the method and device which measure the parameter of electronic system. This invention is applicable to measurement of the timing fluctuation in a digital communication system. The jitter defined by the International Telecommunications Union (ITU-T) and a parameter like Wanda can measure with other related parameters.

35 [0002] [Description of the Prior Art] The latest long distance communication network needs the advanced synchronization between network communication elements. The synchronization of the network communication element in the Synchronous Digital hierarchy (SDH) architecture is critical. However, the phase change in a reference clock frequency control synchronized network element produces an error in network various stages.

40 Since a synchronization error influences greatly the performance and quality of service which are provided, it is the concerns in such a network. Therefore, it is most important that test equipment can model the synchronization error in such a network precisely and promptly.

45 [0003] Two important measurement matters of the synchronization error in an SDH network are a jitter and Wanda. Although ITU-T recommendation G.810 has the special definition of what constitutes a jitter and Wanda, other natural definitions can be used. A jitter and Wanda are each short period of time and the prolonged change in the serious stage of the digital signal from those ideal positions. According to ITU-T G.810, a "short period of time" means the change in the frequency of not less than 10 Hz, and means the change in the

frequency which is less than 10 Hz "for a long period of time."

[0004]Various measurement of everything but the synchronization error in a synchronous digital communication system is derived from a jitter and the Wanda measurement, and the data of the addition in the network system under surveillance is provided. A jitter and WANDA data are applicable to evaluation of the performance of

5 apparatus or a system with other parameters, and in order to diagnose the defect which will spoil customer service as generating, they are often used.

[0005]

[Problem(s) to be Solved by the Invention]The solution known until now in order to measure a jitter and Wanda is analog-like [most] in approach and execution. This has some faults including a hardware limit. Use of analog 10 apparatus [most] leads nonlinearity to measurement. Various measurement over various protocol standards needs different hardware specification.

[0006]The conventional solution included external hardware processing of the reproduced clock signal. As usual, since an external signal is conventionally measured using a well-known phase detector and tracking loop approach, the external phase detector has aligned the scale with the tracking-bands region which sets low 15 frequency wave cutoff to the greatest jitter to measure. It gets over in discrete hardware and then the jitter measured is sampled for processing. This is all hardware-oriented and is in the tendency which presents the drift problem relevant to low frequency analog processing. The inaccuracy by the error of hardware and signal aliasing by a low sampling frequency are produced. When hardware processing is a more intensive jitter, the problem relevant to low frequency analog processing is produced for setting out and a drift.

20 [0007]The example of the solution to such a problem is included in EP0849907 which is indicating the phase measuring method which digitizes the phase difference signal in the loop (it is also henceforth called PLL) by which the analog phase lock was carried out, and the device. both — application — pending in court — the EP patent application 1054522 — said — 1152562 is indicating the method of measuring a jitter like MTIE which uses a filter cascade, or TDEV, and a WANDA parameter, in order to promote processing of a jitter and WANDA 25 data. Although these approaches have conformity with this invention, phase detection in an analog area is performed and the problem relevant to an analog / mixed signal approach will remain too.

[0008]

[Means for Solving the Problem]The purpose of this invention is to provide a method and a device which measure a synchronous variation in an input signal correctly about change covering a wide frequency range.

30 [0009]Other purposes of this invention are to provide a method and a device which can perform both a jitter, and Wanda both [one side or] and which have been improved.

[0010]this invention — the — one — the feature — setting — the following — a process — from — becoming — a series — data — a sample — being related — electronic system — a parameter — measuring — a 35 method — providing — : — (— a —) — electronic system — from — having won popularity — an input signal — from — a clock signal — reproducing. (b) Digitize, while sampling a reproduced clock signal, and generate a series of digital clock samples, (c) Process a digital clock sample in digital one about a local digital reference signal, and it is a digital baseband frequency in-phase component (henceforth). And it also calls it I ingredient, a rectangular phase constituent (it is also henceforth called a Q component) is generated, (d) digital I and a Q component are processed, and digital topology of said clock signal is extracted, and (e) digital topology is 40 processed, and a parameter of electronic system is determined.

[0011]A process (c) can be performed for convenience and cheaply using digital signal down converter IC of a well-known type in digital radio receiver art.

[0012]Although the process (d) and (e) can be performed in single programmable digital signal processor chips, hard-wired one of other or programmed logical composition may be used. A programmable component like a 45 digital signal processor makes a programmable filter zone possible covering frequency of a wide range, for example.

[0013]The network can carry out frequency division of said reproduced clock signal in advance of a sampling

process as a process (a1).

[0014]Measuring said reproduced clock signal of different frequency, a frequency division process can be performed so that frequency of said reproduced clock signal for a sampling may be made small. It may fix or change of this frequency made small may be enabled.

5 [0015]Processing of said digital clock sample in which a baseband in-phase component (I ingredient) and a rectangular phase constituent (Q component) are generated [want / to make it], It includes dividing said digital clock sample into at least two ingredients, and mixing these with each reference signal taken out from said local digital reference signal.

10 [0016]Said processing of said baseband frequency I which takes out topology, and a Q component includes a process in which filter said I and a Q component further, and decimation is performed.

[0017]Said process in which topology is extracted includes applying an arc tangent function to said said I to which it is filtered and decimation is performed, and a Q component by digital signal processing.

15 [0018]In one example of this invention, said phase of said local digital reference signal is controlled as a part of loop (PLL) by which the phase lock was carried out corresponding to said extracted digital topology. This loop by which the phase lock was carried out contains a low pass filter.

20 [0019]Said extracted digital topology is processed by clock jitter data in a process (e) by filtering in digital one topology besides said loop by which the phase lock was carried out. Here, the measurement filtering can contain highpass digital filtering of topology. This filtering is added to filtering in a loop by which the phase lock was carried out again, and includes a low pass digital filter stage. An obtained jitter to which it restored can be processed in order to take out data relevant to a synchronization of further others.

[0020]In other examples of this invention, said local digital reference signal is a synchronized signal supplied from the outside which is unrelated to said received signal. This is suitable for measurement of a long period change like Wanda.

25 [0021]Extracted digital topology is processed by filtering this topology to clock time interval error data. Here, the filtering can contain low pass digital filtering of topology. Obtained time interval error data can be processed so that data relevant to other synchronizations still like WANDA data may be taken out.

[0022]This method can be performed in hardware form which can be switched between a reference signal by which the phase lock was carried out according to desired measurement, and an independent reference signal.

30 [0023]This method can be used as pretreatment of compound measurement containing MTIE, MRTIE, and TDEV which were defined by a standard [for ITU] one.

[0024]It will be clear to the party concerned by reading explanation to the following specific examples with these advantages from which it reaches and other features are acquired by them. Although an example of this invention is only as an example, it is explained with reference to the following drawings.

[0025]

35 [Embodiment of the Invention]Drawing 1 is a block diagram of the test equipment for the jitter in a communication network, Wanda, or measurement of both them. Actually, the same device can take out various measurement from a system. For example, the International Telecommunications Union (ITU-T) has defined the specification of other measurement like MRTIE which gives information when performing a synchronization, or TDEV. By providing desired fundamental data using the present device, measurement of everything but these is promptly and efficiently calculable.

40 [0026]In the composition of a graphic display, the Synchronous Digital hierarchy (SDH) signal 100 is led to the jitter line interface 105 by the optical fiber. This is provided with the converter 110 which changes an input light data signal into an electrical signal, and the clock reproduction part 115 which outputs the reproduced line clock. Subsequently to the sampling block 120, the reproduced line clock is inputted. The block 120 is provided with the digital clock divider 125 and A/D converter 130. The divider 125 is applicable to network clock frequency which is different since a low frequency clock signal is outputted so that it may be stated further below.

45 [0027]The digital phase detection (it is also henceforth called DPD) block 135 is provided with the mixed

connection 140, the filter part 145, and the complex value controlled oscillator (it is also henceforth called NCO) 150. The reproduction clock signal digitized by A/D converter 130 is divided into the two signals 155 and 160, and is inputted into the mixer 140. The complex reference signal from NCO150 is also inputted into the mixer 140. Subsequently to the filter element 145, the complex output of mixer connection is inputted. Frequency conversion is performed by the mixer 140 and NCO150 so that the digitized input clock signal may be changed into baseband frequency. It will be understood that the term "complex" has made reference about a signal and a circuit provided with the in-phase component (I ingredient) known as the "real number" and an "imaginary number" ingredient and the rectangular phase constituent (Q component).

[0028]After processing by DPD135, subsequently to the digital signal processor (DSP is called henceforth) 175, the acquired signal is inputted. DSP175 processes phasing signal data and generates a result output in 180. It depends for a actual result output and the processing relevant to it on the special measurement composition specified by programming of DPD and DSP so that it may be explained below.

[0029]According to the specified measurement composition, NCO150 is controlled by either of the reference signals 190 supplied from the signal 185 generated from DSP175, or the outside. A device can be constituted for the jitter type measurement inputted so that the signal 185 taken out locally may form the loop by which the phase lock was carried out to DPD135 from DSP175. A device can be constituted for the WANDA type measurement inputted from the external reference signal source 190 suitable for a reference signal using as a Wanda standard clock source. Before these specific explanation of a composition option, a general operation of a device is explained below.

[0030]The device in drawing 1 can receive a communication network signal as an input. Probably, the typical example of such a signal is a signal by an SDH protocol like STM-16 or STM-64 defined by ITU-T. Of course, the device described is not limited only to these standards and may apply other frequency ranges.

[0031]An input light signal is changed into an electrical signal and the reproduced clock by the jitter line interface 105 during an operation, and this reproduced clock signal includes the synchronization information related to a jitter, and other clock synchronization information. The digital clock divider 125 is divided into the low frequency which should digitize a clock. Probably, this is 10 MHz usually sampled at speed of 65 MHz – 20 MHz clocks. Use of a direct sampling in this stage brings about many advantages. Digital processing is still highly precise than the similar analog method and flexible, and enables easy manufacture by low cost simultaneously.

[0032]This process in which the reproduced clock is digitized enables perfect implementation of the measurement in a digital field with that related synchronization information. This does not need external hardware processing of the reproduced clock in which the signal will be measured using the phase detector and the filter as usual.

[0033]In a single integrated circuit, the actual process of complex phase detection is performed in feasible DPD135. DPD135 performs complex phase detection by mixing the digitized division clock with the complex tracking signal from on-board NCO150. Complex NCO aligns with either the external reference signal 190 or the signal 185 taken out locally. While low pass filtering of the baseband outputs 165 and 170 of I and Q is carried out in the filter means 145, decimation is performed, and the raw phase complex output for inputting into DSP175 is given. Performing phase detection in a digital field means that detection is performed in the frequency high enough which secured the sampling frequency which exceeds the Nyquist rate of the signal measured enough. Use of digital mixing in this stage provides true linearity. Use of a low pass and a decimation filter performs sufficient removal of the alias video signal produced by decimation, and removal of an unnecessary mixture.

[0034]DSP155 processes the raw topology acquired from DPD135. The processing process given to setting out and topology of the element of DSP155 becomes settled with the type of required measurement. Drawing 2 shows in detail the composition used for jitter measurement, and drawing 3 shows the details for Wanda. Single DSP which can be constituted actual at least for these types of both measurement exists.

[0035]Drawing 2 shows the composition of the device of drawing 1 for using for the jitter measurement which

shows the details of the mechanism for phase detection and measurement – digitized while the signal which undergoes an inspection is inputted and the reproduced clock signal is changed into an electrical signal, as mentioned above [0036]It is reproduced and the digitized clock signal 200 is inputted into DPD135 which operates as each functional block mentioned above. The outputted raw complex phasing signal 205 is inputted

5 into DSP155. In this case, DSP has the processor elements 225 as a result of the phase reconstruction element 210, the loop (PLL) 215 by which the digital phase lock was carried out, and the measurement filtering stage 220.

[0037]DPD135 mixes digitized IF clock with the complex tracking signal from NCO150, and performs complex phase detection. NCO on DPD135 is aligning with DSP155 by digital PLL215 in this case. This forms a required

10 tracking loop to jitter measurement. The baseband outputs 165 and 170 of I and Q give the raw phase complex output 205 for decimation being performed and inputting into DSP155 while low pass filtering is carried out in the element 145 DPD135.

15 [0038]The complex sample 205 of I and Q to which decimation was performed while low pass filtering was carried out is reconstructed by the phasing signal within the phase reconstruction element 210. It is reconstructed and the outputted phasing signal is led to both digital PLL215 for controlling NCO150, and the measurement filtering stage 220. The measurement filtering stage changes a digital phasing signal into a jitter output using a standard inverse tangent digital-signal-processing routine or look-up table.

20 [0039]Subsequently the acquired jitter signal is filtered as the demodulation signal 205, or is led to the result processor 225. A result processor calculates a jitter signal by filtering it further, and performs measurement like RMS or Pk-Pk to derive.

25 [0040]Drawing 3 shows the example for which it was suitable for Wanda's measurement. As mentioned above, it is reproduced and the digitized clock signal 200 is inputted into DPD135. The outputted raw phasing signal 205 is inputted into DSP155. In this case, DSP155 is provided with the processor 315 as a result of the phase reconstruction element 210 mentioned above and the low pass filter 300.

30 [0041]DPD135 performs complex phase detection by mixing digitized IF clock with the complex signal set as the same signal taken out from the reference signal 170. The reference signal 170 is used in order to carry out clock excitation of IF sampler and DPD135. The baseband outputs 165 and 170 of I and Q give the raw phase complex output 205 for decimation being performed and transmitting to DSP155 while low pass filtering is carried out in the element 145 DPD135.

35 [0042]The complex sample 205 of I and Q to which decimation was performed while being filtered is reconstructed by the phasing signal within the phase reconstruction element 210. The measurement filtering stage changes a digital phasing signal sample into a time interval error (it is also henceforth called TIE) using a standard inverse tangent digital-signal-processing routine or look-up table. Subsequently low pass filtering of the high-speed TIE sample is carried out if needed. ITU-T G.823 need the first low pass filter of either 10 Hz or 100 Hz.

40 [0043]The obtained TIE sample is outputted as the raw TIE output data 310, or is further processed in the result processor 315, and can perform measurement originating in MTIE, MRTIE, or TIE like TDEV.

[0044]The reference signal 190 used for the Wanda measurement can be taken out from the reference clock of the exterior where accuracy suitable for the Wanda measurement is suitable so that it may be set by ITU-T.

45 [0045]The DPD block 135 in both a jitter and the Wanda measurement composition can be embodied in hardware in many ways. For example, it could perform using semi custom-made ASIC. Or execution is possible by the single integrated circuit chip of flexibility like Analog Devices AD6620 or Intersil HSP501214B. Thus, the device accumulated highly has incorporated all the elements required for NCO150, a filter, 145 steps of decimation, etc. These devices are marketed, for example, are generally used like the digital signal down converter in digital radio application.

[0046]Use of such an accumulation solution gives an advantage in the form of a programmable parameter easily, and strengthens the flexibility of a device. Use of DSP for performing processing of digital phase data also gives

flexibility, and makes the range of a different filtering zone possible. Such flexibility is an important element when the target platforms on which a test must be performed probably differ each time. The standard which has defined such a parameter may change again. In the solution which performs further Hardware approach, such flexibility and applicability will not be what can fully be attained in the system overemphasized especially on

5 analog approach.

[0047]The device and method of obtaining a jitter and the Wanda measurement can be combined and extended to other methods and devices using raw input data above all for measurement of a parameter like MTIE, MRTIE, or TDEV. For example, both the method described here and the device could be used in order to give TIE or other data samples to the device of the EP patent application 1054522 and 1152562 which is pending in court.

10 [0048]To the engineer concerned, various corrections to this invention will become clear from the above explanation and an attached drawing. Therefore, this invention shall be restricted by only the attached claim. However, in view of the extensive application possibility of this invention, some embodiments of this invention are illustrated below.

[0049](Embodiment 1) In the method of measuring the parameter of electronic system by referring to a series
15 of data samples, (a) Reproduce a clock signal from the input signal received from said electronic system, (b) Digitize, while sampling said reproduced clock signal, and generate a series of digital clock samples, (c) Process said digital clock sample in digital one about a local digital reference signal, and generate digital baseband frequency inphase (I) and a quadrature-phase (Q) ingredient, (d) A method which processes said digital one I and a Q component, and extracts the digital phase information on said clock signal, and processes the (e)
20 aforementioned digital phase information, and determined the parameter of said electronic system.

[0050](Embodiment 2) a method given in the embodiment 1 in which said process (c) was made to perform using digital signal down converter IC of a type suitable for digital radio receiver art.

[0051](Embodiment 3) A method given in the embodiment 1 or the embodiment 2 in which said process (d) and (e) was made to perform in single programmable digital signal processor chips.

25 [0052](Embodiment 4) A method given in either [it was made for a network to include the process (a1) in which frequency division of said reproduced clock signal is further carried out in advance of said sampling] the embodiment 1 – the embodiment 3.

[0053](Embodiment 5) A method given in either [which is performed as measures the clock signal with which the frequency from which said frequency division process differs while fixing the frequency of said digital clock
30 signal for a sampling was reproduced] the embodiment 1 – the embodiment 4.

[0054](Embodiment 6) Processing of said digital clock sample for producing baseband inphase (I) and a quadrature-phase (Q) ingredient, A method given in either of the above-mentioned embodiments it was made to include dividing said digital clock sample into at least two ingredients, and mixing these with each reference signal taken out from said local digital reference signal.

35 [0055](Embodiment 7) the above-mentioned operative condition it was made to include the process in which said processing of said baseband frequency I which takes out topology, and a Q component filtered and acts as a deci mate of said I and the Q component further — a method given in either [like].

[0056](Embodiment 8) the above-mentioned operative condition in which it was made for said process in which topology is extracted to include applying an inverse tangent function to said said I which filtered and acts as a
40 deci mate, and a Q component by digital signal processing — a method given in either [like].

[0057](Embodiment 9) the above-mentioned operative condition by which said phase of said local digital reference signal was controlled as a part of loop (PLL) by which the phase lock was carried out corresponding to said extracted digital phase information — a method given in either [like].

[0058](Embodiment 10) A method given in the embodiment 9 processed by clock jitter data in the process (e)
45 when said extracted digital phase information filtered in digital one the topology besides said loop by which the phase lock was carried out.

[0059](Embodiment 11) A method given in the embodiment 9 or the embodiment 10 in which it was made for

said filtering to contain the highpass digital filtering of said topology.

[0060](Embodiment 12) A method given in the embodiment 11 in which said filtering adds to filtering within said loop by which the phase lock was carried out further, and it was made to include a low pass digital filtering stage.

5 [0061](Embodiment 13) It is a method given in either the embodiment 1 – the embodiment 8 having made it said local digital reference signal be a synchronized signal which has source in the exterior which is unrelated to said received signal.

[0062](Embodiment 14) A method given in the embodiment 13 processed by clock time interval error (TIE) data when said extracted digital phase information filtered this topology.

10 [0063](Embodiment 15) A method given in the embodiment 14 in which it was made for said filtering to contain the low pass digital filtering of said topology.

[0064](Embodiment 16) A method given in the embodiment 14 or the embodiment 15 processed so that said obtained time interval error data may take out WANDA data further.

15 [0065](Embodiment 17) the above-mentioned operative condition which was made to perform in the form of the hardware which can be switched between the reference signal by which the phase lock was carried out according to required measurement, and the independent reference signal — a method given in either [like].

[0066](Embodiment 18) the above-mentioned operative condition used as pretreatment about the compound measurement in which said method contains at least one of MTIE, MRTIE, TDEV and RMS which were defined by a standard [for ITU] one, and the Pk-Pk — a method given in either [like].

20 [0067](Embodiment 19) A method given in the embodiment 18 which was made to perform within the digital signal processor with single derivation of said pretreatment and said compound measurement.

[0068](Embodiment 20) A device which is provided with the means constituted so that each process of a method may be performed according to either the embodiment 1 – the embodiment 19, and measures the parameter of electronic system with reference to a series of data samples.

25

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram of the device for the jitter by this invention, and the Wanda measurement.

30 [Drawing 2]It is a functional block diagram of the device shown in drawing 1 when measuring a jitter.

[Drawing 3]It is a functional block diagram of the device shown in drawing 1 when measuring Wanda.

[Description of Notations]

With [a claim] no applicable numerals

35

CORRECTION OR AMENDMENT

[Kind of official gazette]Printing of amendment by regulation of 2 of Article 17 of Patent Law

[Section classification] The 1st classification of the part VI gate

40 [Publication date]September 2, Heisei 17 (2005.9.2)

[Publication No.]JP,2003-4782,A (P2003-4782A)

[Date of Publication]January 8, Heisei 15 (2003.1.8)

[Application number]Application for patent 2002-64968 (P2002-64968)

45 [The 7th edition of International Patent Classification]

G01R 29/02

H04B 17/00

H04L 7/00

[FI]

G01R 29/02 L

H04B 17/00 M

5 H04L 7/00 F

H04L 7/00 H

[Written amendment]

[Filing date] March 3, Heisei 17 (2005.3.3)

[Amendment 1]

10 [Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Change

[The contents of amendment]

[Claim(s)]

15 [Claim 1]

How to measure a parameter of electronic system by referring to a series of data samples characterized by comprising the following.

The first process in which a clock signal is reproduced from an input signal received from said electronic system.

20 The second process in which digitize while sampling said reproduced clock signal, and a series of digital clock samples are generated.

The third process in which process said digital clock sample in digital one about a local digital reference signal, and a digital baseband frequency inphase and a rectangular phase constituent are generated.

25 The fourth process in which process said digital inphase and a rectangular phase constituent, and digital topology of said clock signal is extracted, and the fifth process in which process said digital topology and a parameter of said electronic system is determined.

[Claim 2]

A method according to claim 1 it was made to include the sixth process in which a network carries out frequency division of said reproduced clock signal in advance of said sampling further.

[Claim 3]

30 A method according to claim 1 or 2 performed as measures a clock signal with which frequency from which a process of said frequency division differs while fixing frequency of said digital clock signal for a sampling was reproduced.

[Claim 4]

35 Processing of said digital clock sample for generating a baseband in-phase component and a rectangular phase constituent divides said digital clock sample into at least two ingredients. A method according to any one of claims 1 to 3 including a process in which these are mixed with each reference signal taken out from said local digital reference signal.

[Claim 5]

40 A way according to any one of claims 1 to 4 said process of said baseband frequency inphase which takes out topology, and a rectangular phase constituent includes a process in which filter said inphase and a rectangular phase constituent further, and decimation is performed.

[Claim 6]

45 A way according to any one of claims 1 to 5 said process in which topology is extracted includes a process in which an arc tangent function is applied to said inphase to which it is filtered and decimation is performed, and a rectangular phase constituent by digital signal processing.

[Claim 7]

A method according to any one of claims 1 to 6 carried out as [be / said local digital reference signal / a

synchronized signal supplied from the outside which is unrelated to said received signal].

[Claim 8]

A method according to claim 7 processed by clock time interval error data when said extracted digital topology filtered this topology.

5 [Claim 9]

A method according to claim 8 processed so that said obtained time interval error data may take out WANDA data further.

[Claim 10]

10 A method according to any one of claims 1 to 9 which was made to perform in hardware form which can be switched between a reference signal by which the phase lock was carried out according to desired measurement, and an independent reference signal.

[Claim 11]

15 A device which is provided with a means constituted so that each process of a method by either claim 1 thru/or claim 10 may be performed, and measures a parameter of electronic system with reference to a series of data samples.

[Translation done.]